

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2003年 3月25日

出願番号 Application Number: 特願2003-083070

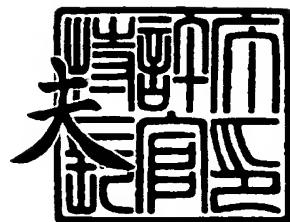
[ST. 10/C]: [JP2003-083070]

出願人 Applicant(s): セイコーエプソン株式会社

2003年11月21日

特許庁長官
Commissioner,
Japan Patent Office

今井康





【書類名】 特許願

【整理番号】 J0098509

【提出日】 平成15年 3月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 塩澤 雅邦

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 青▲柳▼ 哲理

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100066980

【弁理士】

【氏名又は名称】 森 哲也

【選任した代理人】

【識別番号】 100075579

【弁理士】

【氏名又は名称】 内藤 嘉昭

【選任した代理人】

【識別番号】 100103850

【弁理士】

【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

【予納台帳番号】 001638

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器および半導体装置の
製造方法

【特許請求の範囲】

【請求項 1】 第1半導体チップが搭載された第1半導体パッケージと、
第2半導体チップが搭載された第2半導体パッケージと、
前記第2半導体パッケージが前記第1半導体チップ上に保持されるように、前
記第1半導体パッケージと前記第2半導体パッケージとを接続する突出電極と、
前記第1半導体チップの表面の少なくとも一部を避けるように配置され、前記
第1半導体パッケージと前記第2半導体パッケージとの間に設けられた樹脂とを
備えることを特徴とする半導体装置。

【請求項 2】 前記突出電極はハンダボールであることを特徴とする請求項
1記載の半導体装置。

【請求項 3】 前記樹脂は前記突出電極に接触しないようにして、前記第1
半導体パッケージと前記第2半導体パッケージとの間に配置されていることを特
徴とする請求項1または2記載の半導体装置。

【請求項 4】 前記樹脂は前記第2半導体パッケージの隅にのみ配置されて
いることを特徴とする請求項3記載の半導体装置。

【請求項 5】 前記第1半導体パッケージおよび前記第2半導体パッケージ
には、前記樹脂の配置位置に対応して突出電極の未配置領域が設けられているこ
とを特徴とする請求項3または4記載の半導体装置。

【請求項 6】 前記樹脂は前記突出電極の周囲に接触した状態で配置されて
いることを特徴とする請求項1または2記載の半導体装置。

【請求項 7】 前記樹脂はフラックスを含むことを特徴とする請求項6記載
の半導体装置。

【請求項 8】 前記第1半導体パッケージは、
第1キャリア基板と、
前記第1キャリア基板上にフリップチップ実装された第1半導体チップとを備
え、

前記第2半導体パッケージは、
前記突出電極を介し、前記第1半導体チップ上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板と、
前記第2キャリア基板上に搭載された第2半導体チップと、
前記第2半導体チップを封止する封止材とを備えることを特徴とする請求項1～7のいずれか1項記載の半導体装置。

【請求項9】 前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項8記載の半導体装置。

【請求項10】 第1電子部品が搭載された第1パッケージと、
第2電子部品が搭載された第2パッケージと、
前記第2パッケージが前記第1電子部品上に保持されるように、前記第1パッケージと前記第2パッケージとを接続する突出電極と、
前記第1電子部品の表面の少なくとも一部を避けるように配置され、前記第1パッケージと前記第2パッケージとの間に設けられた樹脂とを備えることを特徴とする電子デバイス。

【請求項11】 第1半導体チップが搭載された第1半導体パッケージと、
第2半導体チップが搭載された第2半導体パッケージと、
前記第2半導体パッケージが前記第1半導体チップ上に保持されるように、前記第1半導体パッケージと前記第2半導体パッケージとを接続する突出電極と、
前記第1半導体チップの表面の少なくとも一部を避けるように配置され、前記第1半導体パッケージと前記第2半導体パッケージとの間に設けられた樹脂と、
前記第2半導体パッケージに接続された前記第1半導体パッケージを搭載するマザーボードと、
前記マザーボードを介して前記第1半導体チップおよび前記第2半導体チップに接続された電子部品とを備えることを特徴とする電子機器。

【請求項12】 第1半導体チップが搭載された第1半導体パッケージと第

2半導体チップが搭載された第2半導体パッケージとを突出電極を介して接続する工程と、

前記第1半導体チップの表面の少なくとも一部を避けるようにして、前記第1半導体パッケージと前記第2半導体パッケージとの間に樹脂を設ける工程とを備えることを特徴とする半導体装置の製造方法。

【請求項13】 前記樹脂は前記突出電極に接触しないようにして、前記第1半導体パッケージと前記第2半導体パッケージとの間に配置されていることを特徴とする請求項12記載の半導体装置の製造方法。

【請求項14】 前記樹脂は前記第2半導体パッケージの隅にのみ配置されていることを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】 第1半導体パッケージに設けられたランド上に樹脂入りフラックスを供給する工程と、

第2半導体パッケージに設けられたハンダボールを前記樹脂入りフラックスが供給されたランド上に配置する工程と、

リフロー処理を行うことにより前記ハンダボールを溶融させ、前記ハンダボールを前記ランド上に接合するとともに、前記樹脂入りフラックスに入っている樹脂を前記ハンダボールの表面に沿って這い上がらせる工程とを備えることを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、電子デバイス、電子機器および半導体装置の製造方法に関し、特に、半導体パッケージの積層構造に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体パッケージでは、例えば、特許文献1に開示されているように、ハンダボールを介して半導体パッケージを積層することにより、省スペース化を図ることが行われている。ここで、積層された半導体パッケージを2次実装する際に、半導体パッケージ間のハンダボールが再溶融して位置ずれが発生すること

を防止するため、積層された半導体パッケージ間に樹脂を充填することが行われている。

【0003】

【特許文献1】

特開平6-13541号公報

【0004】

【発明が解決しようとする課題】

しかしながら、従来の半導体パッケージでは、ハンダボールを介して積層された半導体パッケージ間の隙間全体に樹脂が充填される。このため、半導体パッケージ間に充填された樹脂をキュアする際に、樹脂に含まれる水分が十分に抜け切らず、半導体パッケージ間に充填された樹脂に水分が残留する。このため、積層された半導体パッケージの2次実装時の再リフロー時に、半導体パッケージ間に充填された樹脂に含まれる水分が気化して膨張し、半導体パッケージ間で剥離が発生することがあるという問題があった。

【0005】

そこで、本発明の目的は、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、半導体パッケージ間の剥離を抑止することが可能な半導体装置、電子デバイス、電子機器および半導体装置の製造方法を提供することである。

【0006】

【課題を解決するための手段】

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第1半導体チップが搭載された第1半導体パッケージと、第2半導体チップが搭載された第2半導体パッケージと、前記第2半導体パッケージが前記第1半導体チップ上に保持されるように、前記第1半導体パッケージと前記第2半導体パッケージとを接続する突出電極と、前記第1半導体チップの表面の少なくとも一部を避けるように配置され、前記第1半導体パッケージと前記第2半導体パッケージとの間に設けられた樹脂とを備えることを特徴とする。

【0007】

これにより、突出電極を介して接続された第1半導体パッケージと第2半導体

パッケージとの間に隙間を残したままの状態で、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となる。このため、第1半導体パッケージと第2半導体パッケージとの間の樹脂に含まれる水分を抜け出し易くすることが可能となり、2次実装時の再リフロー時に、第1半導体パッケージと第2半導体パッケージとの間の樹脂が膨張することを抑制することが可能となる。この結果、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することを可能としつつ、第1半導体パッケージと前記第2半導体パッケージとを樹脂で固着させることができとなり、2次実装時に突出電極の再リフローが行われる場合においても、第1半導体パッケージと第2半導体パッケージとの間の位置ずれを防止することが可能となる。

【0008】

また、本発明の一態様に係る半導体装置によれば、前記突出電極はハンダボールであることを特徴とする。

これにより、リフロー処理を行うことで、第1半導体パッケージと第2半導体パッケージとを電気的に接続することができるとなり、第2半導体パッケージを第1半導体パッケージ上に効率よく実装することができる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記樹脂は前記突出電極に接触しないようにして、前記第1半導体パッケージと前記第2半導体パッケージとの間に配置されていることを特徴とする。

これにより、突出電極を介して接続された第1半導体パッケージと第2半導体パッケージとの間に隙間を残したままの状態で、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することができるとともに、突出電極のリフロー処理が行われる場合においても、樹脂への熱的ダメージを抑制することができる。このため、樹脂の耐熱性を低下させることを可能として、吸湿性の低い樹脂を選択することができるとなり、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、半導体パッケージ間の剥離を抑止することができる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記樹脂は前記第2半導体パッケージの隅にのみ配置されていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の隙間が狭い場合においても、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となる。このため、製造工程の煩雑化を抑制しつつ、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ間の剥離を抑止することが可能となる。

【0011】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージおよび前記第2半導体パッケージには、前記樹脂の配置位置に対応して突出電極の未配置領域が設けられていることを特徴とする。

これにより、突出電極が密集して配置される場合においても、突出電極に接触することなく、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となる。このため、多端子化に対応することを可能としつつ、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ間の剥離を抑止することが可能となる。

【0012】

また、本発明の一態様に係る半導体装置によれば、前記樹脂は前記突出電極の周囲に接触した状態で配置されていることを特徴とする。

これにより、第1半導体パッケージおよび第2半導体パッケージとの間に隙間が残るようにして、第1半導体パッケージと第2半導体パッケージとの間に樹脂を設ける場合においても、樹脂と突出電極との間に間隔を設ける必要がなくなる。このため、第1半導体パッケージおよび第2半導体パッケージとの間に突出電極と個別に樹脂を配置するための領域を確保する必要がなくなり、突出電極の配置に影響を及ぼすことなく、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填することが可能となる。この結果、突出電極の配置数の減少を抑制しつつ、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ間の剥離を抑止することが可能となる。

【0013】

また、本発明の一態様に係る半導体装置によれば、前記樹脂はフラックスを含むことを特徴とする。

これにより、ハンダリフロー時に、ハンダの周囲に樹脂を這い上がらせることを可能としつつ、ハンダによる接合を安定して行うことが可能となる。このためリフロー処理を行うことで、突出電極の周囲に接触した状態で樹脂を配置することが可能となり、製造工程を煩雑化させることなく、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ間の剥離を抑止することが可能となる。

【0014】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、第1キャリア基板と、前記第1キャリア基板上にフリップチップ実装された第1半導体チップとを備え、前記第2半導体パッケージは、前記突出電極を介し、前記第1半導体チップ上に保持されるように前記第1キャリア基板上に実装された第2キャリア基板と、前記第2キャリア基板上に搭載された第2半導体チップと、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0015】

これにより、第1半導体パッケージおよび第2半導体パッケージの種類が異なる場合においても、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、第1半導体パッケージおよび第2半導体パッケージとの間の剥離を抑止することが可能となり、省スペース化を可能としつつ、第1半導体パッケージと第2半導体パッケージとの間の接続信頼性を向上させることができる。

【0016】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板上に搭載された第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

【0017】

これにより、汎用パッケージを用いた場合においても、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、第1半導体パッケージおよび第2半導体パッケージとの間の剥離を抑止することが可能となり、生産効率を劣化させることなく、異種パッケージ間の接続信頼性を向上させることが可能となる。

また、本発明の一態様に係る電子デバイスによれば、第1電子部品が搭載された第1パッケージと、第2電子部品が搭載された第2パッケージと、前記第2パッケージが前記第1電子部品上に保持されるように、前記第1パッケージと前記第2パッケージとを接続する突出電極と、前記第1電子部品の表面の少なくとも一部を避けるように配置され、前記第1パッケージと前記第2パッケージとの間に設けられた樹脂とを備えることを特徴とする。

【0018】

これにより、突出電極を介して接続された第1パッケージと第2パッケージとの間に隙間を残したままの状態で、第1パッケージと第2パッケージとの間に樹脂を充填することが可能となる。このため、第1パッケージと第2パッケージとの間の剥離を抑止することを可能としつつ、第1パッケージと前記第2パッケージとを樹脂で固着させることができとなり、2次実装時に突出電極の再リフローが行われる場合においても、第1パッケージと第2パッケージとの間の位置ずれを防止することが可能となる。

【0019】

また、本発明の一態様に係る電子機器によれば、第1半導体チップが搭載された第1半導体パッケージと、第2半導体チップが搭載された第2半導体パッケージと、前記第2半導体パッケージが前記第1半導体チップ上に保持されるように、前記第1半導体パッケージと前記第2半導体パッケージとを接続する突出電極と、前記第1半導体チップの表面の少なくとも一部を避けるように配置され、前記第1半導体パッケージと前記第2半導体パッケージとの間に設けられた樹脂と、前記第2半導体パッケージに接続された前記第1半導体パッケージを搭載するマザーボードと、前記マザーボードを介して前記第1半導体チップおよび前記第2半導体チップに接続された電子部品とを備えることを特徴とする。

【0020】

これにより、積層された半導体パッケージの信頼性の劣化を抑制しつつ、2次実装時の半導体パッケージの位置ずれを防止することが可能となり、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体チップが搭載された第1半導体パッケージと第2半導体チップが搭載された第2半導体パッケージとを突出電極を介して接続する工程と、前記第1半導体チップの表面の少なくとも一部を避けるようにして、前記第1半導体パッケージと前記第2半導体パッケージとの間に樹脂を設ける工程とを備えることを特徴とする。

【0021】

これにより、第1半導体パッケージと第2半導体パッケージとの間に樹脂を充填した場合においても、突出電極を介して接続された第1半導体パッケージと第2半導体パッケージとの間に隙間を残すことが可能となり、積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することが可能となる。

【0022】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記樹脂は前記突出電極に接触しないようにして、前記第1半導体パッケージと前記第2半導体パッケージとの間に配置されていることを特徴とする。

これにより、突出電極のリフロー処理が行われる場合においても、樹脂への熱的ダメージを抑制することが可能となり、樹脂の耐熱性を低下させることを可能として、吸湿性の低い樹脂を選択することが可能となる。

【0023】

また、本発明の一態様に係る半導体装置の製造方法によれば、前記樹脂は前記第2半導体パッケージの隅にのみ配置されていることを特徴とする。

これにより、第1半導体パッケージと第2半導体パッケージとの間の隙間が狭い場合においても、製造工程の煩雑化を抑制しつつ、第1半導体パッケージと第2半導体パッケージとの間に樹脂を効率よく充填することが可能となる。

【0024】

また、本発明の一態様に係る半導体装置の製造方法によれば、第1半導体パッ

ケージに設けられたランド上に樹脂入りフラックスを供給する工程と、第2半導体パッケージに設けられたハンダボールを前記樹脂入りフラックスが供給されたランド上に配置する工程と、リフロー処理を行うことにより前記ハンダボールを溶融させ、前記ハンダボールを前記ランド上に接合するとともに、前記樹脂入りフラックスに入っている樹脂を前記ハンダボールの表面に沿って這い上がらせる工程とを備えることを特徴とする。

【0025】

これにより、ハンダボールのリフロー処理を行うことで、突出電極の周囲に接觸した状態で樹脂を配置することが可能となり、製造工程を煩雑化させることなく、積層された半導体パッケージの2次実装時の位置ずれを防止することが可能となるとともに、第1半導体パッケージと第2半導体パッケージとの間の剥離を抑止することが可能となる。

【0026】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置およびその製造方法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の概略構成を示す断面図である。

【0027】

図1において、半導体パッケージPK1にはキャリア基板1が設けられ、キャリア基板1の両面にはランド2a、2bがそれぞれ形成されている。そして、キャリア基板1上には半導体チップ3がフリップチップ実装され、半導体チップ3には、フリップチップ実装するための突出電極4が設けられている。そして、半導体チップ3に設けられた突出電極4は、異方性導電シート5を介してランド2b上にACF (Anisotropic Conductive Film) 接合されている。

【0028】

一方、半導体パッケージPK2にはキャリア基板11が設けられ、キャリア基板11の裏面にはランド12が形成され、ランド12上には突出電極13が設け

られている。また、キャリア基板11上には半導体チップが実装され、半導体チップが実装されたキャリア基板11は、封止樹脂14で封止されている。なお、キャリア基板11上には、ワイヤボンド接続された半導体チップを実装するようにもよいし、半導体チップをフリップチップ実装するようにもよく、半導体チップの積層構造を実装するようにしてもよい。

【0029】

そして、キャリア基板1上に設けられたランド2bに突出電極13を接合させることにより、キャリア基板11が半導体チップ3上に配置されるようにして、半導体パッケージPK2が半導体パッケージPK1上に実装されている。

また、半導体パッケージPK1、PK2間には、半導体チップ3に接触しないようにして、樹脂15が設けられている。ここで、樹脂15は、突出電極13に個々に接觸するようにして、突出電極13の周囲に設けることができる。

【0030】

これにより、突出電極13を介して接続された半導体パッケージPK1、PK2間に隙間を残したままの状態で、半導体パッケージPK1、PK2間に樹脂15を設けることが可能となる。このため、半導体パッケージPK1、PK2間の樹脂15に含まれる水分を抜け出し易くすることが可能となり、2次実装時の再リフロー時に、半導体パッケージPK1、PK2間の樹脂15が膨張することを抑制することが可能となる。この結果、半導体パッケージPK1、PK2間の剥離を抑止することを可能としつつ、半導体パッケージPK1、PK2を互いに樹脂15で固着させることができ、2次実装時に突出電極13の再リフローが行われる場合においても、半導体パッケージPK1、PK2間の位置ずれを防止することが可能となる。

【0031】

また、突出電極13に個々に接觸するようにして、突出電極13の周囲に樹脂15を設けることにより、半導体パッケージPK1、PK2間に隙間が残るようにして、半導体パッケージPK1、PK2間に樹脂15を設けた場合においても、樹脂15と突出電極13との間に間隔を空ける必要がなくなる。このため、半導体パッケージPK1、PK2間に突出電極13と個別に樹脂15を配置するた

めの領域を確保する必要がなくなり、突出電極13の配置数の減少を抑制しつつ、半導体パッケージPK1、PK2間に樹脂15を設けることが可能となる。

【0032】

なお、キャリア基板1、11としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板1、11の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極4、6、13としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいはハンダボールなどを用いることができる。

【0033】

さらに、突出電極13を介して半導体パッケージPK1、PK2を互いに接合させる場合、半田接合や合金接合などの金属接合を用いるようにしてもよく、ACF接合、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste) 接合などの圧接接合を用いるようにしてもよい。

【0034】

図2は、図1の半導体装置の製造方法の一例を示す断面図である。

図2 (a)において、半導体パッケージPK1上に半導体パッケージPK2を積層する場合、半導体パッケージPK2のランド12上に、突出電極13としてハンダボールを形成するとともに、キャリア基板1のランド2b上にアンダーフィルフラックス7を供給する。なお、アンダーフィルフラックス7は、樹脂が混入されたフラックスで、熱硬化性樹脂をベースにハンダ付けと接着とを同時にを行うことができる。

【0035】

次に、図2 (b)に示すように、半導体パッケージPK1上に半導体パッケージPK2をマウントする。そして、突出電極13のリフロー処理を行うことにより、突出電極13を溶融させ、突出電極13をランド2b上に接合させるととも

に、アンダーフィルフラックス7に入っている樹脂を突出電極13に沿って這い上がらせ、突出電極13の周囲に接触するようにして、半導体パッケージPK1、PK2間に樹脂15を形成する。

【0036】

ここで、アンダーフィルフラックス7を用いることで、突出電極13のリフロー処理を行うことにより、突出電極13の周囲に接触した状態で樹脂15を配置することが可能となり、製造工程を煩雑化させることなく、半導体パッケージPK1、PK2間の隙間に樹脂15を形成することができる。

また、アンダーフィルフラックス7の他にアンダーフィルペースト（熱硬化性の樹脂を含むハンダペースト）を用いても良い。

【0037】

また、突出電極13の周囲に樹脂15を設けることにより、樹脂15に含まれる水分を逃がすための隙間を確保しつつ、半導体パッケージPK1、PK2間に樹脂15を設けることが可能となり、樹脂15に含まれる水分の残留量を減らすことが可能となる。

次に、図2（c）に示すように、キャリア基板1の裏面に設けられたランド2a上に、キャリア基板1をマザー基板8上に実装するための突出電極6を形成する。

【0038】

次に、図2（d）に示すように、突出電極6が形成されたキャリア基板1をマザー基板8上にマウントする。そして、突出電極6のリフロー処理を行うことにより、突出電極6をマザー基板8のランド9上に接合させる。

ここで、半導体パッケージPK1、PK2間に樹脂15に含まれる水分がほとんど除去された状態で、突出電極6のリフロー処理を行うことができる。このため、突出電極6のリフロー時に樹脂15が膨張することを抑制することが可能となり、半導体パッケージPK1、PK2が互いに剥離することを防止することが可能となる。また、突出電極6のリフロー時に突出電極13の再リフローが行われる場合においても、半導体パッケージPK1、PK2が樹脂15で互いに固定されたままの状態を維持することができる、半導体パッケージPK1、PK2

2間の位置ずれを防止することが可能となる。

【0039】

なお、上述した実施形態では、半導体パッケージPK2を半導体パッケージPK1上に実装するために、キャリア基板1のランド2b上に突出電極13を設けるとともに、キャリア基板11のランド12上にアンダーフィルフラックス7を供給する方法について説明したが、キャリア基板1のランド2b上にアンダーフィルフラックス7を供給するとともに、キャリア基板11のランド12上に突出電極13を設けるようにしてもよい。また、上述した実施形態では、アンダーフィルフラックス7を用いることにより、突出電極13に個々に接触するようにして、突出電極13の周囲に樹脂15設ける方法について説明したが、必ずしもアンダーフィルフラックス7を用いる必要はなく、例えば、突出電極13を介して半導体パッケージPK1、PK2を接合した後に、突出電極13の周囲に樹脂を充填するようにしてもよい。また、上述した実施形態では、突出電極13間で樹脂15が分断されるようにして突出電極13の周囲に樹脂15を設ける方法について説明したが、複数の突出電極13の間で樹脂が繋がっていてもよい。また、また、上述した実施形態では、半導体パッケージPK1、PK2間に設けられた全ての突出電極13の周囲に樹脂15を設ける方法について説明したが、半導体パッケージPK1、PK2間に設けられた一部の突出電極13の周囲にのみ樹脂を設けるようにしてもよい。さらに、突出電極13の周囲に樹脂を設ける場合、突出電極13の配置位置に対応して型取られた樹脂シートを介して、突出電極13を接合させるようにしてもよい。

【0040】

図3は、本発明の第2実施形態に係る半導体装置の概略構成を示す断面図である。

図3において、半導体パッケージPK11にはキャリア基板21が設けられ、キャリア基板21の両面にはランド22a、22cがそれぞれ形成されるとともに、キャリア基板21内には内部配線22bが形成されている。そして、キャリア基板21上には半導体チップ23がフリップチップ実装され、半導体チップ23には、フリップチップ実装するための突出電極24が設けられている。そして

、半導体チップ23に設けられた突出電極24は、異方性導電シート25を介してランド22c上にACF接合されている。また、キャリア基板21の裏面に設けられたランド22a上には、キャリア基板21をマザー基板上に実装するための突出電極26が設けられている。

【0041】

一方、半導体パッケージPK12にはキャリア基板31が設けられ、キャリア基板31の両面にはランド32a、32cがそれぞれ形成されるとともに、キャリア基板31内には内部配線32bが形成されている。そして、キャリア基板31上には、接着層34aを介し半導体チップ33aがフェースアップ実装され、半導体チップ33aは、導電性ワイヤ35aを介してランド32cにワイヤボンド接続されている。さらに、半導体チップ33a上には、導電性ワイヤ35aを避けるようにして、半導体チップ33bがフェースアップ実装され、半導体チップ33bは、接着層34bを介して半導体チップ33a上に固定されるとともに、導電性ワイヤ35bを介してランド32cにワイヤボンド接続されている。

【0042】

また、キャリア基板31の裏面に設けられたランド32a上には、キャリア基板31が半導体チップ23上に保持されるようにして、キャリア基板31をキャリア基板21上に実装するための突出電極36が設けられている。ここで、突出電極36は、半導体チップ23の搭載領域を避けるようにして配置され、例えば、キャリア基板31の裏面の周囲に突出電極36を配置することができる。そして、キャリア基板21上に設けられたランド22cに突出電極36を接合させることにより、キャリア基板31がキャリア基板21上に実装されている。

【0043】

また、半導体チップ33a、33bの実装面側のキャリア基板31上には封止樹脂37が設けられ、この封止樹脂37により半導体チップ33a、33bが封止されている。なお、封止樹脂37で半導体チップ33a、33bを封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0044】

また、突出電極36を介して接合されたキャリア基板21、31間には、キャリア基板21、31間に隙間が残るようにして樹脂38が設けられている。ここで、樹脂38は、突出電極36に個々に接触するようにして、突出電極36の周囲に設けることができる。

これにより、異種パッケージを積層した場合においても、突出電極36を介して接続されたキャリア基板21、31間に隙間を残したままの状態で、キャリア基板21、31間に樹脂38を設けることが可能となる。このため、サイズまたは種類の異なる半導体チップ23、33a、33bを実装する際の省スペース化を図ることが可能となるとともに、積層された半導体パッケージPK11、P12の2次実装時の位置ずれを防止しつつ、半導体パッケージPK11、P12間の剥離を抑止することが可能となる。

【0045】

図4は、本発明の第3実施形態に係る半導体装置の概略構成を示す断面図である。

図4において、半導体パッケージPK31にはキャリア基板41が設けられ、キャリア基板41の両面にはランド42a、42cがそれぞれ形成されるとともに、キャリア基板41内には内部配線42bが形成されている。そして、キャリア基板41上には、半導体チップ43がフリップチップ実装され、半導体チップ43には、フリップチップ実装するための突出電極44が設けられている。そして、半導体チップ43に設けられた突出電極44は、異方性導電シート45を介してランド42c上にA C F接合されている。また、キャリア基板41の裏面に設けられたランド42a上には、キャリア基板41をマザー基板上に実装するための突出電極46が設けられている。

【0046】

一方、半導体パッケージPK32には半導体チップ51が設けられ、半導体チップ51には、電極パッド52が設けられるとともに、電極パッド52が露出するようにして、絶縁膜53が設けられている。そして、半導体チップ51上には、電極パッド52が露出するようにして応力緩和層54が形成され、電極パッド52上には、応力緩和層54上に延伸された再配置配線55が形成されている。

そして、再配置配線55上にはソルダレジスト膜56が形成され、ソルダレジスト膜56には、応力緩和層54上において再配置配線55を露出させる開口部57が形成されている。そして、開口部57を介して露出された再配置配線55上には、半導体パッケージPK32が半導体チップ53上に保持されるように、半導体チップ51をキャリア基板41上にフェースダウン実装するための突出電極58が設けられている。

【0047】

ここで、突出電極58は、半導体チップ43の搭載領域を避けるようにして配置され、例えば、半導体チップ51の周囲に突出電極58を配置することができる。そして、キャリア基板41上に設けられたランド42c上に突出電極58が接合され、半導体パッケージPK32がキャリア基板41上に実装されている。

また、突出電極58を介して接合されたキャリア基板41と半導体チップ51との間には、キャリア基板41と半導体チップ51との間に隙間が残るようにして樹脂59が設けられている。ここで、樹脂59は、突出電極58に個々に接触するようにして、突出電極58の周囲に設けることができる。

【0048】

これにより、半導体パッケージPK31上にW-CSP（ウェハレベルチップサイズパッケージ）を積層した場合においても、突出電極58を介して接合されたキャリア基板41と半導体チップ51との間に隙間を残したままの状態で、キャリア基板41と半導体チップ51との間に樹脂59を設けることが可能となる。このため、半導体チップ43、51の種類またはサイズが異なる場合においても、半導体チップ43、51間にキャリア基板を介在させることなく、半導体チップ43上に半導体チップ51を3次元実装することが可能となるとともに、積層された半導体パッケージPK31、PK32の2次実装時の位置ずれを防止しつつ、半導体パッケージPK31、PK32間の剥離を抑止することが可能となる。この結果、3次元実装された半導体チップ43、51の信頼性の劣化を抑制しつつ、半導体チップ43、51積層時の高さの増大を抑制することが可能となり、半導体チップ43、51実装時の省スペース化を図ることが可能となる。

【0049】

図5は、本発明の第4実施形態に係る半導体装置の概略構成を示す断面図である。

図5において、半導体パッケージPK4-1にはキャリア基板6-1が設けられ、キャリア基板6-1の両面にはランド6-2a、6-2bがそれぞれ形成されている。そして、キャリア基板6-1上には半導体チップ6-3がフリップチップ実装され、半導体チップ6-3には、フリップチップ実装するための突出電極6-4が設けられている。そして、半導体チップ6-3に設けられた突出電極6-4は、異方性導電シート6-5を介してランド6-2b上にACF接合されている。

【0050】

一方、半導体パッケージPK4-2にはキャリア基板7-1が設けられ、キャリア基板7-1の裏面にはランド7-2が形成され、ランド7-2上には突出電極7-3が設けられている。また、キャリア基板7-1上には半導体チップが実装され、半導体チップが実装されたキャリア基板7-1は、封止樹脂7-4で封止されている。なお、キャリア基板7-1上には、ワイヤボンド接続された半導体チップを実装するようにもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0051】

そして、キャリア基板6-1上に設けられたランド6-2bに突出電極7-3を接合させることにより、キャリア基板7-1が半導体チップ6-3上に配置されるようにして、半導体パッケージPK4-2が半導体パッケージPK4-1上に実装されている。ここで、半導体パッケージPK4-2と半導体チップ6-3との間には樹脂7-6が設けられ、半導体パッケージPK4-2と半導体チップ6-3とは樹脂7-6を介して固着されている。

【0052】

また、半導体パッケージPK4-1、PK4-2間には樹脂7-5が設けられ、樹脂7-5は、突出電極7-3に個々に接触するようにして、突出電極7-3の周囲に設けることができる。

これにより、突出電極7-3を介して接続された半導体パッケージPK4-1、PK4-2間に隙間を残したままの状態で、半導体パッケージPK4-1、PK4-2間

に樹脂75を設けることが可能となるとともに、半導体パッケージPK41、PK42間の接着強度を樹脂76で補強することが可能となる。このため、半導体パッケージPK41、PK42間に設けられた樹脂75の量が少ない場合においても、2次実装時の突出電極73の再リフロー時に、半導体パッケージPK41、PK42間の位置ずれを防止することが可能となる。また、2次実装時の突出電極66のリフロー時に、半導体パッケージPK41、PK42間の樹脂75が膨張することを抑制して、半導体パッケージPK41、PK42間の剥離を抑止することが可能となる。

【0053】

図6は、本発明の第5実施形態に係る半導体装置の概略構成を示す断面図である。

図6において、半導体パッケージPK51にはキャリア基板81が設けられ、キャリア基板81の両面にはランド82a、82bがそれぞれ形成されている。そして、キャリア基板81上には半導体チップ83がフリップチップ実装され、半導体チップ83には、フリップチップ実装するための突出電極84が設けられている。そして、半導体チップ83に設けられた突出電極84は、異方性導電シート85を介してランド82b上にACF接合されている。

【0054】

一方、半導体パッケージPK52にはキャリア基板91が設けられ、キャリア基板91の裏面にはランド92が形成され、ランド92上には突出電極93が設けられている。また、キャリア基板91上には半導体チップが実装され、半導体チップが実装されたキャリア基板91は、封止樹脂94で封止されている。なお、キャリア基板91上には、ワイヤボンド接続された半導体チップを実装するようにもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0055】

そして、キャリア基板81上に設けられたランド82bに突出電極93を接合させることにより、キャリア基板91が半導体チップ83上に配置されるようにして、半導体パッケージPK52が半導体パッケージPK51上に実装されてい

る。

また、半導体パッケージPK51、PK52間に、突出電極93に接触しないようにして樹脂95が設けられ、樹脂95は、例えば、半導体パッケージPK52の4隅にのみ配置することができる。また、半導体パッケージPK52の辺に沿って樹脂95を配置するようにしてもよい。

【0056】

これにより、突出電極93を介して接続された半導体パッケージPK51、PK52間に隙間を残したままの状態で、半導体パッケージPK51、PK52間に樹脂95を設けることが可能となるとともに、突出電極93のリフロー処理を行う場合においても、樹脂95への熱的ダメージを抑制することが可能となる。このため、樹脂95の耐熱性を低下させることを可能として、吸湿性の低い樹脂95を選択することが可能となり、積層された半導体パッケージPK51、PK52の信頼性を向上させることが可能となる。

【0057】

なお、突出電極93に接触しないようにして半導体パッケージPK51、PK52間に樹脂95を設けるため、樹脂95の配置位置に対応して突出電極93の未配置領域を設けるようにしてもよい。

これにより、突出電極93が密集して配置される場合においても、突出電極93に接触することなく、半導体パッケージPK51、PK52間に樹脂95を充填することが可能となる。このため、半導体パッケージPK51、PK52の多端子化に対応することを可能としつつ、積層された半導体パッケージPK51、PK52の2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージPK51、PK52間の剥離を抑止することが可能となる。

【0058】

図7は、図6の半導体装置の製造方法の一例を示す断面図である。

図7(a)において、半導体パッケージPK51上に半導体パッケージPK52を積層する場合、半導体パッケージPK52のランド92上に、突出電極93としてハンダボールを形成するとともに、キャリア基板81のランド82b上にフラックス87を供給する。なお、キャリア基板81のランド82b上にフラッ

クス87を供給する代わりに、ハンダペーストを供給してもよい。

【0059】

次に、図7（b）に示すように、半導体パッケージPK51上に半導体パッケージPK52をマウントする。そして、突出電極93のリフロー処理を行うことにより、突出電極93を溶融させ、突出電極93をランド82b上に接合させる。

次に、図7（c）に示すように、ディスペンサーなどを用いることにより、突出電極93に接触しないようにして半導体パッケージPK51、PK52間に樹脂95を注入し、樹脂95を硬化させる。

【0060】

ここで、突出電極93に接触しないようにして半導体パッケージPK51、PK52間に樹脂95を設けることにより、樹脂95に含まれる水分を逃がすための隙間を確保することが可能となり、半導体パッケージPK51、PK52を樹脂95で固定することを可能としつつ、樹脂95に含まれる水分の残留量を減らすことが可能となる。

【0061】

次に、図7（d）に示すように、キャリア基板81の裏面に設けられたランド82a上に、キャリア基板81をマザーベース板上に実装するための突出電極86を形成する。そして、突出電極86が形成されたキャリア基板81をマザーベース板上にマウントし、突出電極86のリフロー処理を行うことにより、半導体パッケージPK51、PK52の積層構造をマザーベース板上に実装することができる。

【0062】

ここで、半導体パッケージPK51、PK52間に樹脂15に含まれる水分がほとんど除去された状態で、突出電極86のリフロー処理を行うことができる。このため、突出電極86のリフロー時に樹脂95が膨張することを抑制することができるとなり、半導体パッケージPK51、PK52が互いに剥離することを防止することが可能となる。また、突出電極86のリフロー時に突出電極93の再リフローが行われる場合においても、半導体パッケージPK51、PK52が樹脂95で互いに固定されたままの状態を維持することができるとなり、半導体パッ

ケージPK51、PK52間の位置ずれを防止することが可能となる。

【0063】

図8 (a) は、本発明の第6実施形態に係る半導体装置の概略構成を示す平面図、図8 (b) は、本発明の第7実施形態に係る半導体装置の概略構成を示す平面図である。

図8 (a) において、半導体パッケージ101には半導体チップ102が搭載されている。そして、突出電極104を介して半導体チップ102上に保持されるようにして、半導体パッケージ103が半導体パッケージ101上に実装されている。

【0064】

そして、半導体パッケージ101、103間には樹脂105が設けられ、樹脂105は、突出電極104に接触しないようにして、半導体パッケージ103の4隅に配置されている。また、突出電極104は、樹脂105の配置領域を避けるようにして、半導体パッケージ103に配置されている。

これにより、半導体パッケージ101、103間の隙間が狭い場合においても、半導体パッケージ101、103間に樹脂105を容易に充填することが可能となる。このため、製造工程の煩雑化を抑制しつつ、積層された半導体パッケージ101、103の2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ101、103間の剥離を抑止することが可能となる。また、半導体パッケージ103の4隅に樹脂105を配置することにより、半導体パッケージ103にかかる応力を樹脂105で効率よく吸収することが可能となり、半導体パッケージ103の耐衝撃性を向上させることが可能となる。

【0065】

また、図8 (b) において、半導体パッケージ201には半導体チップ202が搭載されている。そして、突出電極204を介して半導体チップ202上に保持されるようにして、半導体パッケージ203が半導体パッケージ201上に実装されている。

そして、半導体パッケージ201、203間には樹脂205が設けられ、樹脂205は、突出電極204に接触しないようにして、半導体パッケージ203の

辺の中央に配置されている。また、突出電極204は、樹脂205の配置領域を避けるようにして、半導体パッケージ203に配置されている。

【0066】

これにより、半導体パッケージ201、203間の隙間が狭い場合においても、半導体パッケージ201、203間に樹脂205を容易に充填することが可能となる。このため、製造工程の煩雑化を抑制しつつ、積層された半導体パッケージ201、203の2次実装時の位置ずれを防止することが可能となるとともに、半導体パッケージ201、203間の剥離を抑止することが可能となる。

【0067】

図9は、本発明の第8実施形態に係る半導体装置の製造方法の一例を示す断面図である。

図9 (a)において、半導体パッケージPK61にはキャリア基板301が設けられ、キャリア基板301の両面にはランド302a、302bがそれぞれ形成されている。そして、キャリア基板301上には半導体チップ303がフリップチップ実装され、半導体チップ303には、フリップチップ実装するための突出電極304が設けられている。そして、半導体チップ303に設けられた突出電極304は、異方性導電シート305を介してランド302b上にACF接合されている。

【0068】

一方、半導体パッケージPK62にはキャリア基板311が設けられ、キャリア基板311の裏面にはランド312が形成され、ランド312上には突出電極313が設けられている。また、キャリア基板311上には半導体チップが実装され、半導体チップが実装されたキャリア基板311は、封止樹脂314で封止されている。

【0069】

そして、半導体パッケージPK61上に半導体パッケージPK62を積層する場合、半導体パッケージPK62のランド312上に、突出電極313としてハンダボールを形成するとともに、キャリア基板301のランド302b上にフラックス307を供給する。なお、キャリア基板301のランド302b上にフラ

ックス307を供給する代わりに、ハンダペーストを供給してもよい。また、ディスペンサーなどを用いることにより、キャリア基板301上のランド302bの配置されていない領域に樹脂315を供給する。

【0070】

次に、図9（b）に示すように、半導体パッケージPK61上に半導体パッケージPK62をマウントする。そして、突出電極313のリフロー処理を行うことにより、突出電極313を溶融させ、突出電極313をランド302b上に接合させる。ここで、突出電極313をランド302b上に接合させる場合、Aステージ状態（常温で流動性を示す状態）またはBステージ状態（常温では固体、加熱により流動性を示す状態）に樹脂315を維持することが好ましい。これにより、突出電極313の溶融時の表面張力により、突出電極313をランド302b上に自己整合的に配置することが可能となり、半導体パッケージPK61上に半導体パッケージPK62を精度よく配置することが可能となる。そして、突出電極313がランド302b上に接合されると、突出電極313のリフロー時の温度よりも低い温度で樹脂315をキュアし、樹脂315をCステージ状態（硬化状態）に移行させる。

【0071】

ここで、半導体パッケージPK61、PK62間の隙間の一部に樹脂315を設けることにより、樹脂315に含まれる水分を逃がすための隙間を確保することが可能となり、半導体パッケージPK61、PK62を樹脂315で固定することを可能としつつ、樹脂315に含まれる水分の残留量を減らすことが可能となる。

【0072】

また、半導体パッケージPK61上に半導体パッケージPK62を積層する前に、半導体パッケージPK61上に樹脂315を供給することにより、積層後の半導体パッケージPK61、PK62間の隙間が狭い場合においても、半導体パッケージPK61、PK62間の任意の位置に樹脂315を容易に配置することが可能となる。このため、半導体チップ303および突出電極313の配置位置や、半導体パッケージPK61、PK62にかかる応力などの様々な要因を考慮

しつつ、半導体パッケージPK61、PK62間の一部に樹脂315を容易に設けることが可能となり、製造工程の煩雑化を抑制しつつ、半導体パッケージPK61、PK62の積層構造の信頼性を向上させることが可能となる。

【0073】

次に、図9 (c) に示すように、キャリア基板301の裏面に設けられたランド302a上に、キャリア基板301をマザー基板上に実装するための突出電極306を形成する。そして、突出電極306が形成されたキャリア基板301をマザー基板上にマウントし、突出電極306のリフロー処理を行うことにより、半導体パッケージPK61、PK62の積層構造をマザー基板上に実装することができる。

【0074】

ここで、半導体パッケージPK61、PK62間の樹脂315に含まれる水分がほとんど除去された状態で、突出電極306のリフロー処理を行うことができる。このため、突出電極306のリフロー時に樹脂315が膨張することを抑制することが可能となり、半導体パッケージPK61、PK62が互いに剥離することを防止することが可能となる。また、突出電極306のリフロー時に突出電極313の再リフローが行われる場合においても、半導体パッケージPK61、PK62が樹脂315で互いに固定されたままの状態を維持することが可能となり、半導体パッケージPK61、PK62間の位置ずれを防止することが可能となる。

【0075】

なお、上述した半導体装置は、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (M i n i D i s c) プレーヤなどの電子機器に適用することができ、電子機器の小型・軽量化を可能としつつ、電子機器の信頼性を向上させることができる。

また、上述した実施形態では、半導体パッケージを積層する方法を例にとって説明したが、本発明は、必ずしも半導体パッケージを積層する方法に限定されることなく、例えば、弹性表面波 (S A W) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類など

を積層する方法に用いるようにしてもよい。

【図面の簡単な説明】

- 【図1】 第1実施形態に係る半導体装置の概略構成を示す断面図。
- 【図2】 図1の半導体装置の製造方法の一例を示す断面図。
- 【図3】 第2実施形態に係る半導体装置の概略構成を示す断面図。
- 【図4】 第3実施形態に係る半導体装置の概略構成を示す断面図。
- 【図5】 第4実施形態に係る半導体装置の概略構成を示す断面図。
- 【図6】 第5実施形態に係る半導体装置の概略構成を示す断面図。
- 【図7】 図6の半導体装置の製造方法の一例を示す断面図。
- 【図8】 第6、第7実施形態に係る半導体装置の概略構成を示す平面図。
- 【図9】 第8実施形態に係る半導体装置の製造方法の一例を示す断面図。

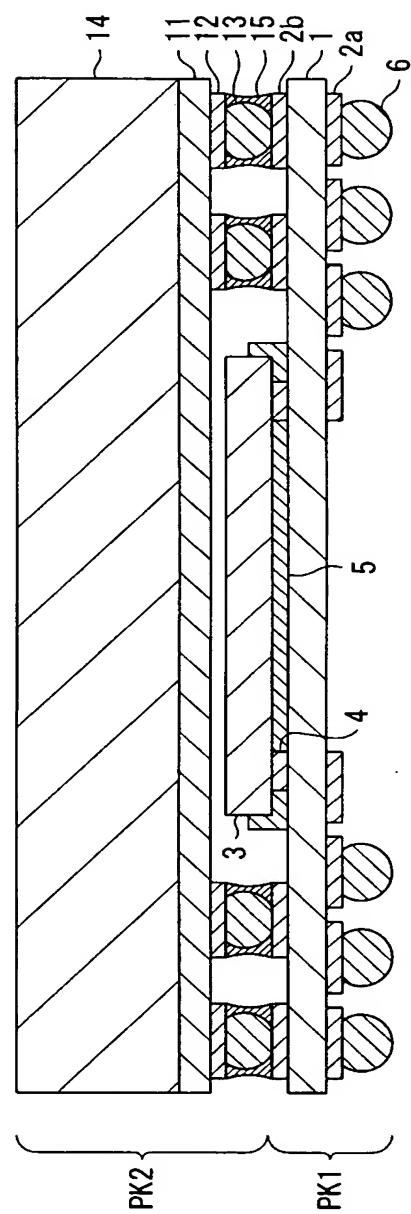
【符号の説明】

PK1、PK2、PK11、PK12、PK21、PK22、PK31、PK32、PK41、PK42、PK51、PK52、PK61、PK62、103、203 半導体パッケージ、1、11、21、31、41、61、71、81、91、101、201、301、311 キャリア基板、2a、2b、9、12、22a、22c、32a、32c、42a、42c、62a、62b、72、82a、82b、92、302a、302b、312 ランド、3、23、33a、33b、43、51、63、83、102、202、303 半導体チップ、4、13、24、26、36、44、46、58、64、66、73、84、86、93、104、204、304、313 突出電極、5、25、45、65、85、305 異方性導電シート、7 アンダーフィルフラックス、8マザー基板、14、37、74、94、314 封止樹脂、15、38、59、75、76、95、105、205、315 樹脂、22b、32b、42b 内部配線、34a、34b 接着層、35a、35b 導電性ワイヤ、52 電極パッド、53 絶縁膜、54 応力緩和層、55 再配置配線、56 ソルダーレジスト層、57 開口部、87、307 フラックス

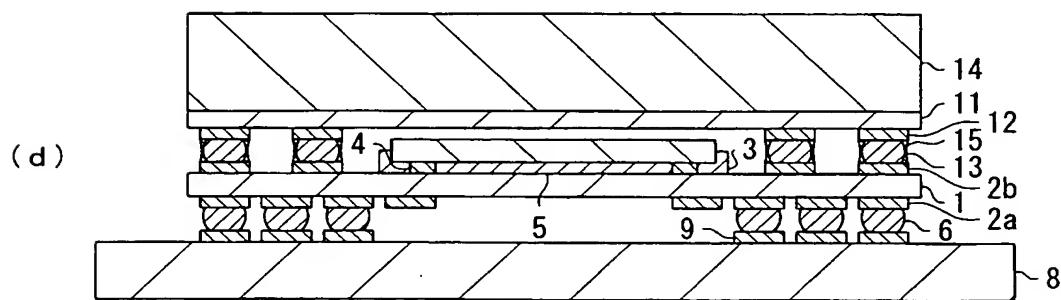
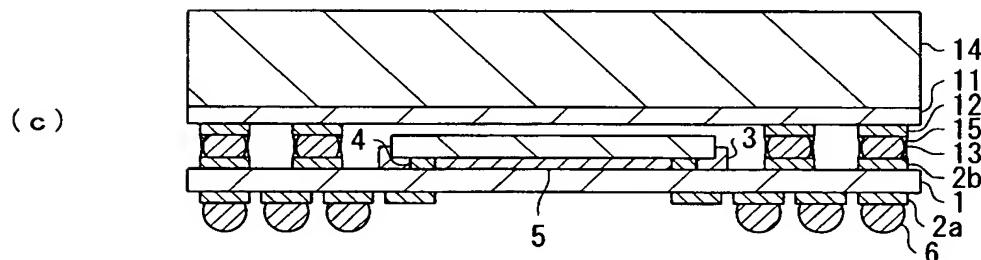
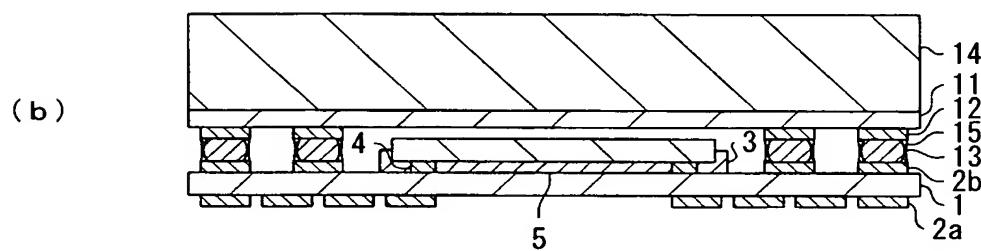
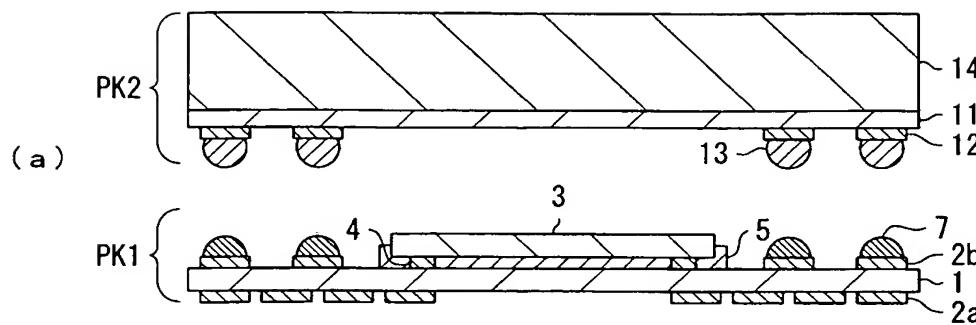
【書類名】

図面

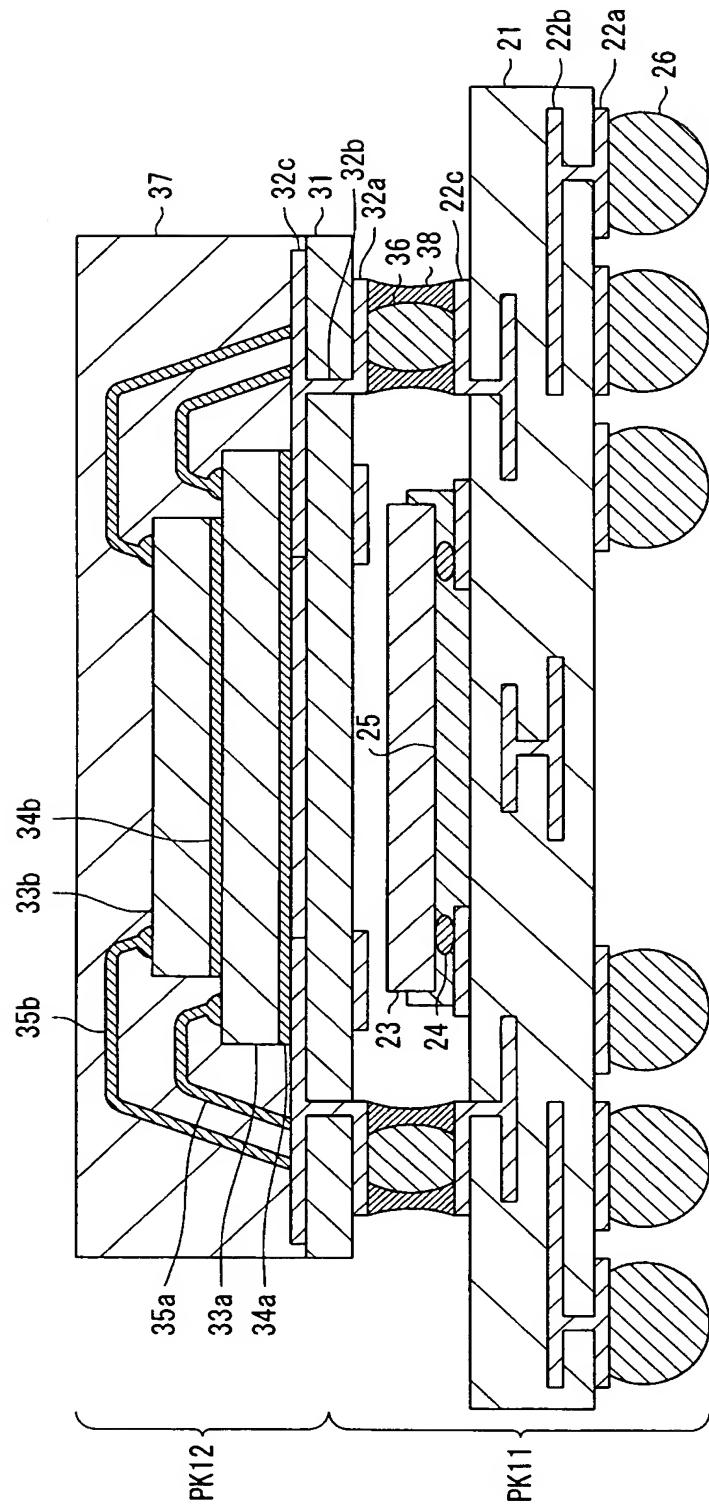
【図 1】



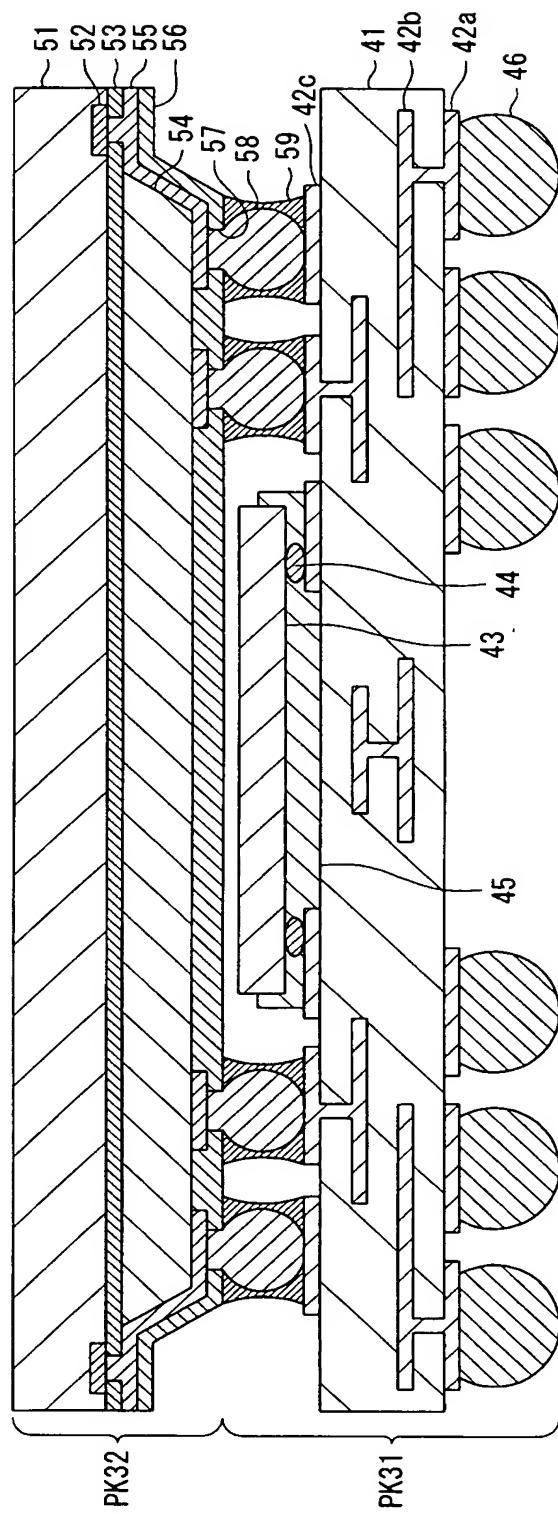
【図2】



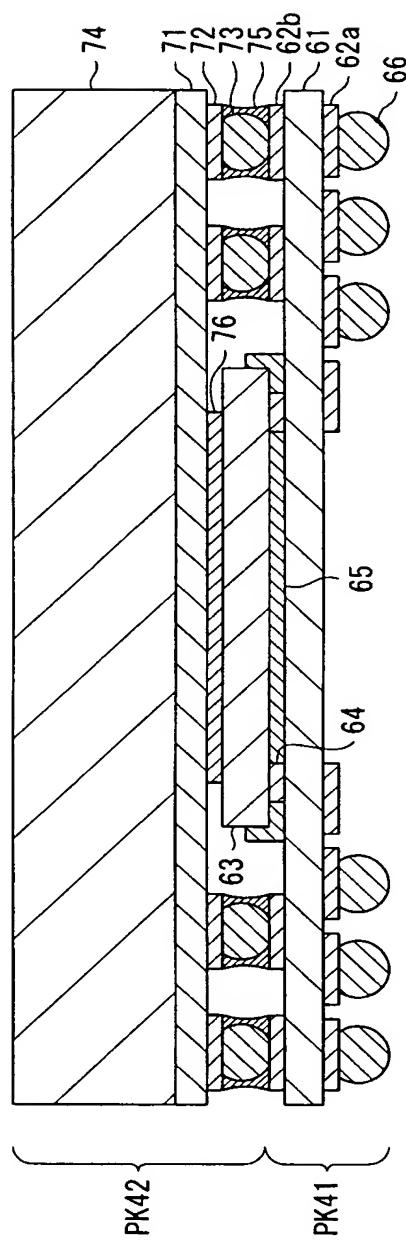
【図3】



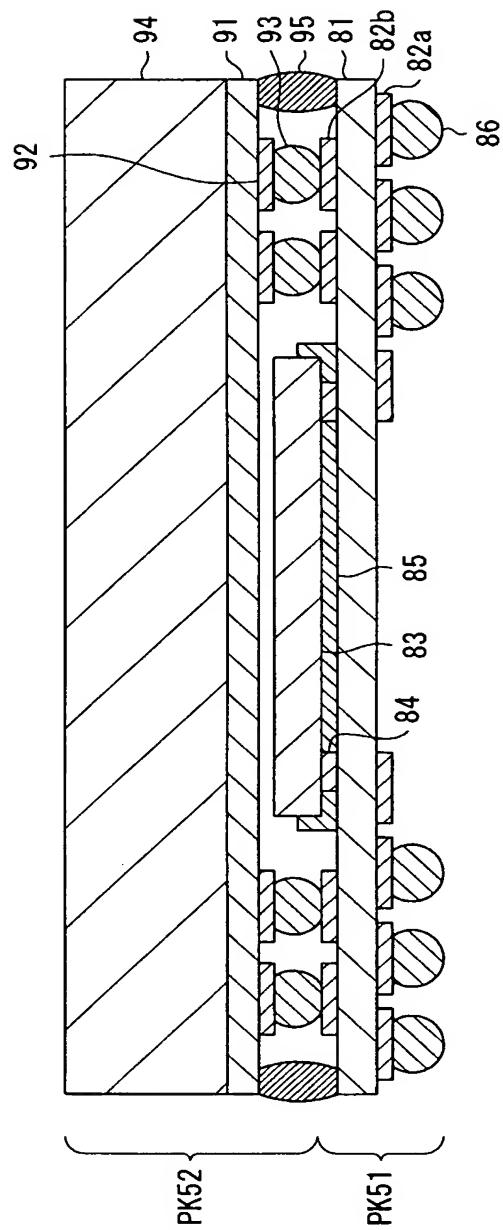
【図4】



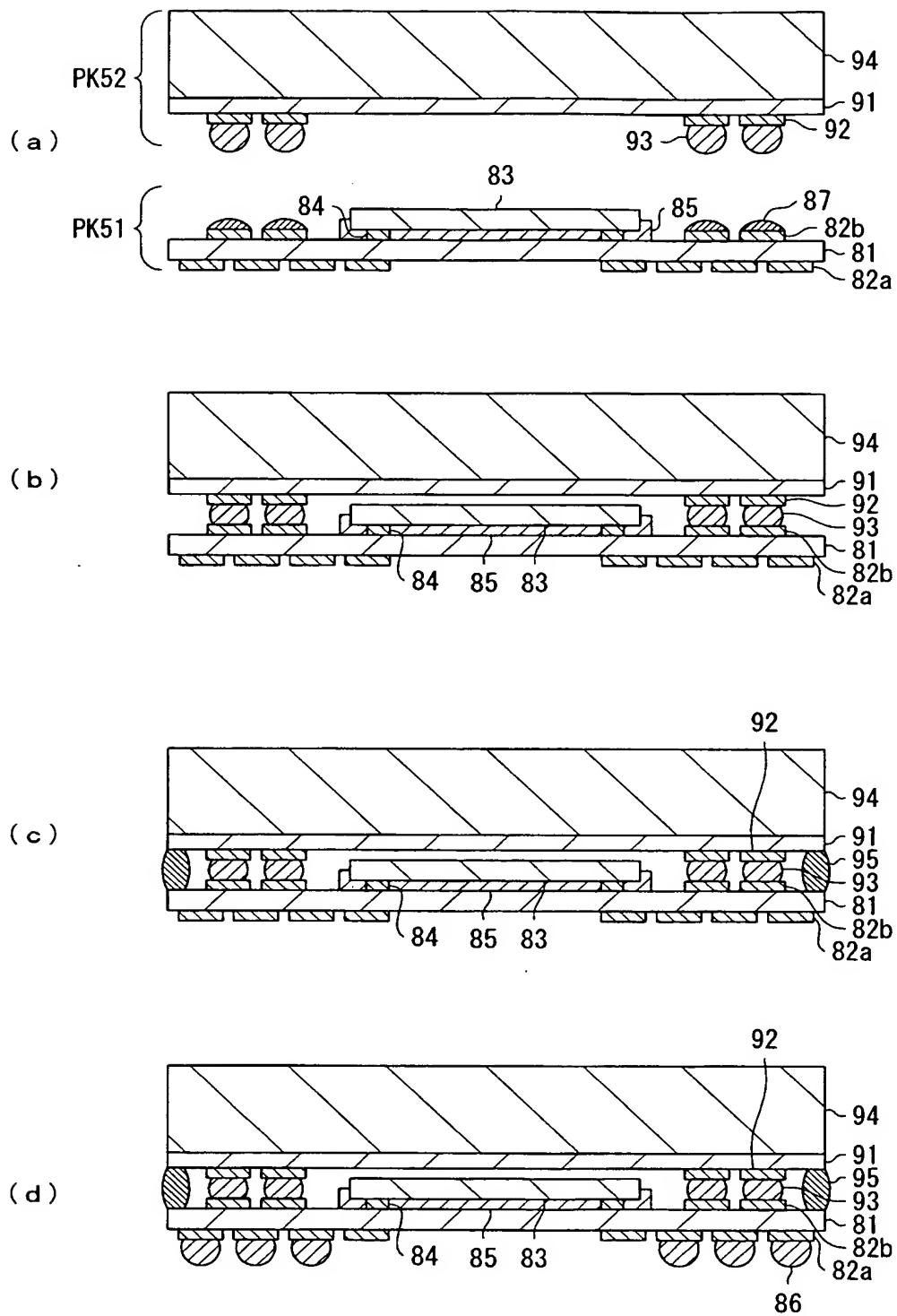
【図5】



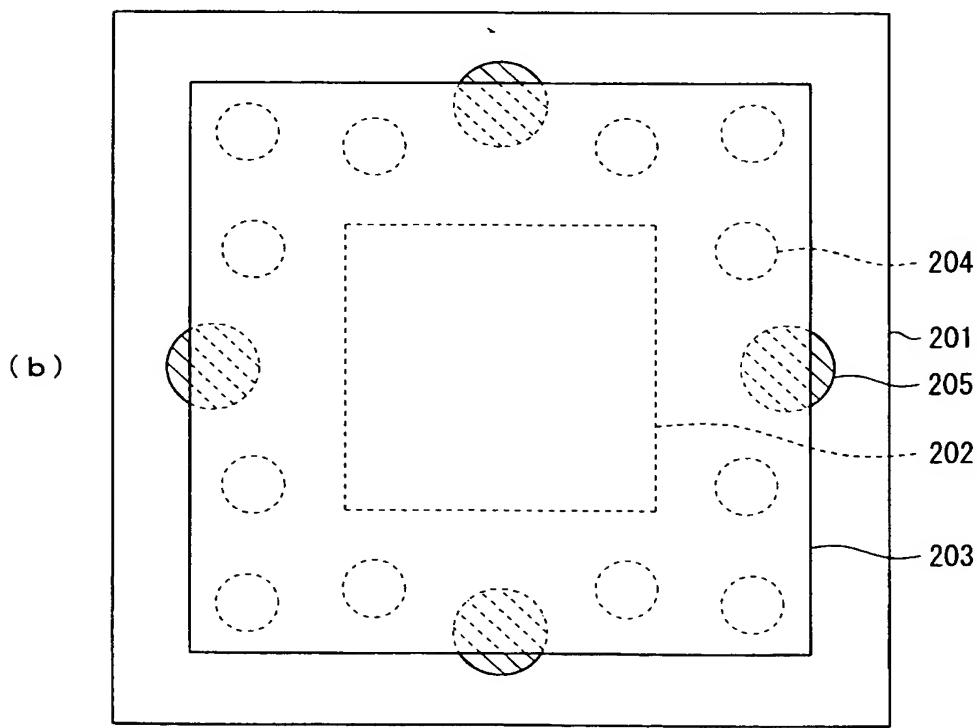
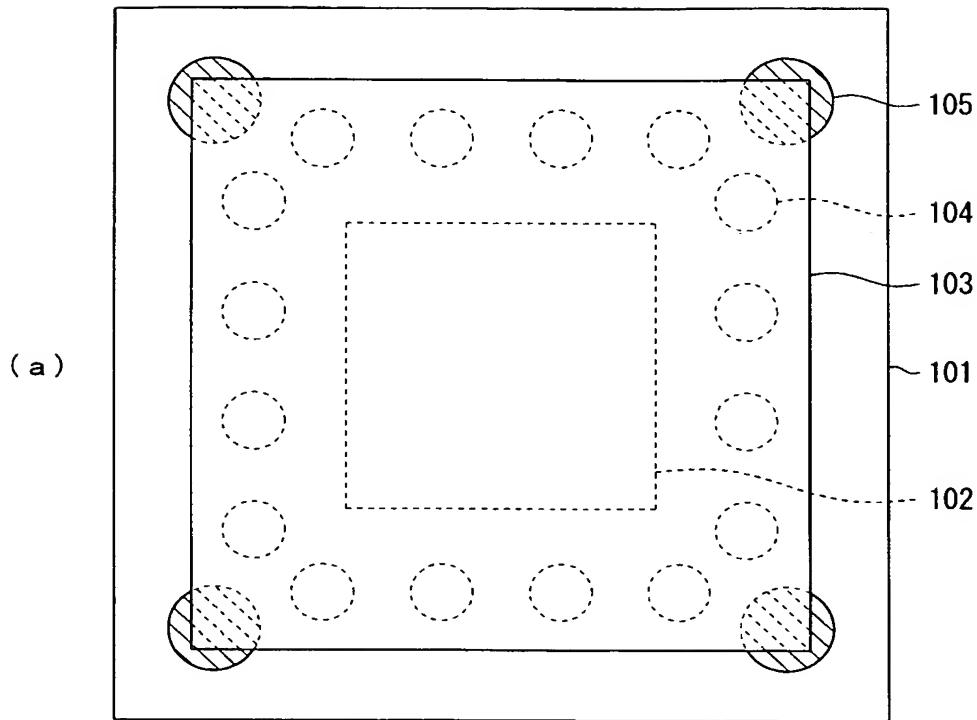
【図 6】



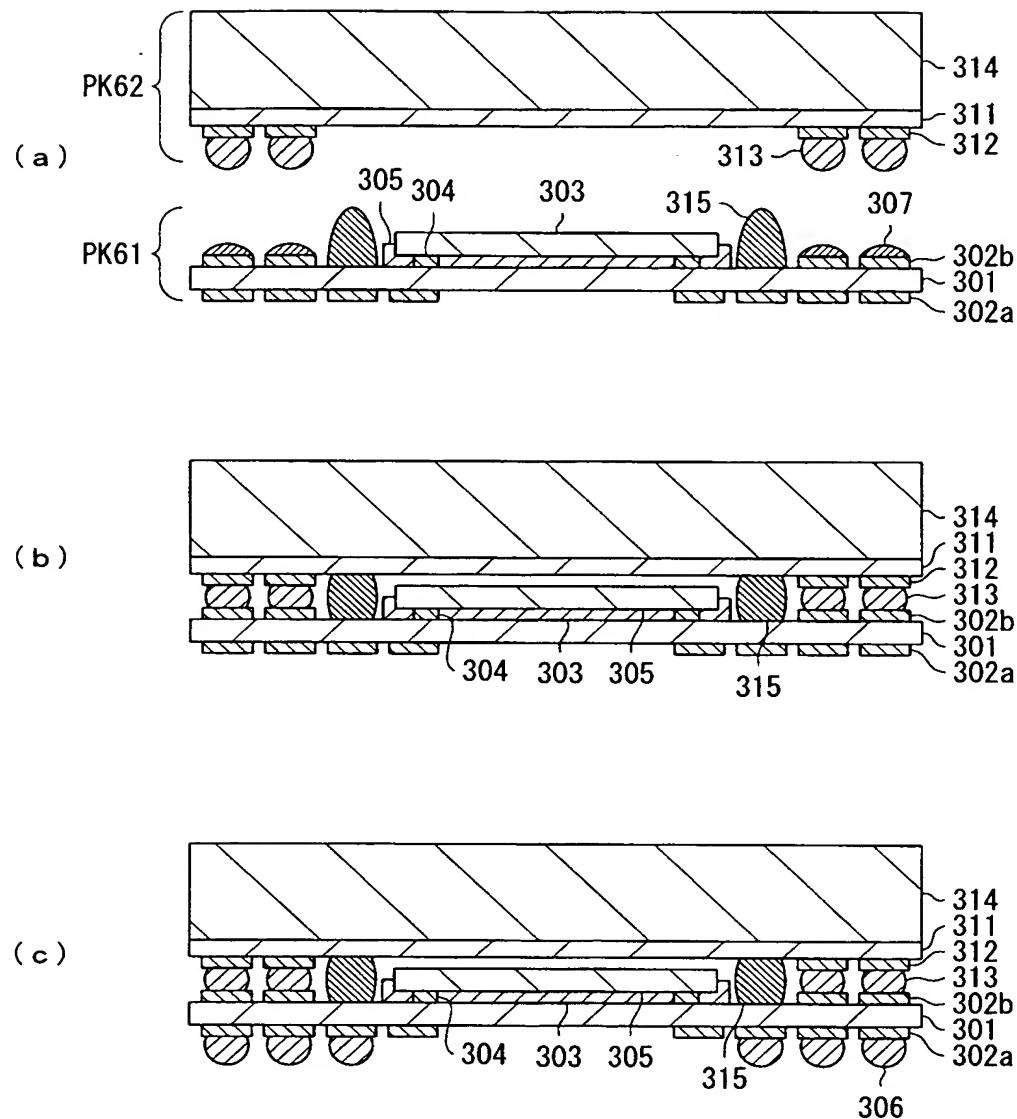
【図 7】



【図8】



【図9】



【書類名】 要約書

【要約】

【課題】 積層された半導体パッケージの2次実装時の位置ずれを防止しつつ、半導体パッケージ間の剥離を抑止する。

【解決手段】 半導体パッケージPK1、PK2は突出電極13を介して互いに接合され、半導体パッケージPK1、PK2間には、半導体チップ3に接触しないようにして、突出電極13に個々に接触した状態で突出電極13の周囲に樹脂15を設ける。

【選択図】 図1

特願2003-083070

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住所 東京都新宿区西新宿2丁目4番1号

氏名 セイコーエプソン株式会社